

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-305742

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
G09G 3/20

(21)Application number : 10-129487

(71)Applicant : SEMICONDUCTOR ENERGY LAB  
CO LTD

(22)Date of filing : 23.04.1998

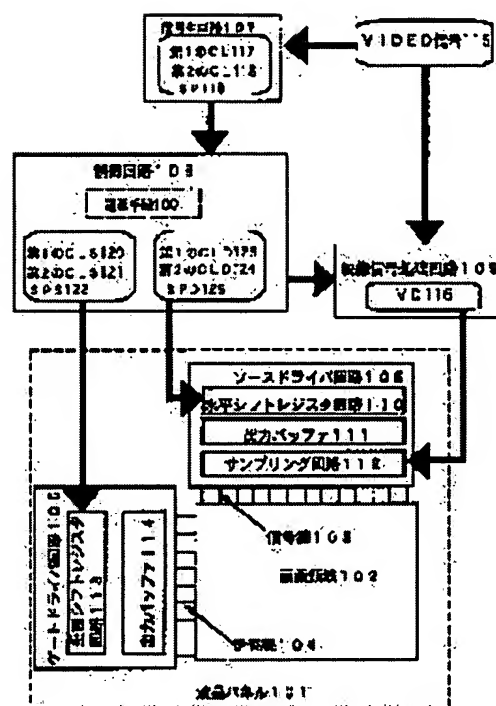
(72)Inventor : HIROKI MASAOKI

## (54) IMAGE DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To relax noise intensity in a drive circuit to an extent not affecting a display by providing a delay means in a prescribed part and deviating a phase relation between two signals existing in an inverted relation by a prescribed amount.

**SOLUTION:** A minute phase difference (time difference) is provided between first clock signal (CL) 117 and second clock signal (CL) 118 formed by a signal generator 107 to be inputted to the drive circuit. At this time, a delay circuit 100 is integrated into a control circuit 108 for providing the minute phase difference (time difference). Although the phase difference (time difference) provided between the first clock signal (CLD) 123 and the second clock signal (CLD) 124 is able to take a wide range within the range of normally driving the circuit, the range is made at least a rise period or above, or a fall period or above, and is made a half or below of a hold period (period from one output pulse to next output pulse). That is, the range of the phase difference is 1-90 degrees.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-305742

(43) 公開日 平成11年(1999)11月5日

(51) Int. Cl.<sup>5</sup>

識別記号

P 1

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/133

5 5 0

G 0 2 F 1/133

5 5 0

G 0 9 G 3/20

6 1 1

G 0 9 G 3/20

6 1 1 C

審査請求 未請求 請求項の数 7 F D (全 9 頁)

(21) 出願番号 特願平10-129487

(22) 出願日 平成10年(1998)4月23日

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 ▼ひろ▲木 正明

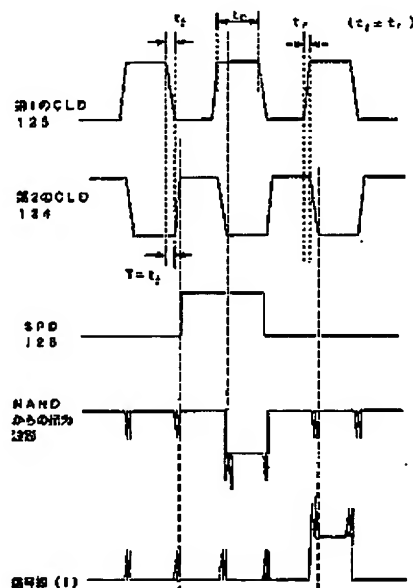
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 高周波数の正クロック信号と負クロック信号の立ち上がり期間 ( $t_r$ ) と立ち下がり期間 ( $t_f$ ) が僅かに異なっていることにより駆動回路 (特にシフトレジスタ回路) にて生じるノイズが直なり鋭い波形のノイズを緩和し、画像の乱れが生じない高画質で高精細な画像表示を提供することを課題とする。

【解決手段】 信号生成器107または制御回路108または各回路に入力する直前に遅延手段を設けて図3に示すように、正クロック信号と負クロック信号を立ち下がり期間 ( $t_f$ ) だけ位相をずらすことにより、表示に与える影響を低減させる。



本発明におけるソースドライバ回路のタイミングチャート

BEST AVAILABLE COPY

(2)

特開平11-305742

1

2

## 【特許請求の範囲】

【請求項1】各画素電極毎にスイッチング素子を有した液晶パネルと、前記液晶パネルの走査線を駆動する走査線駆動回路と、前記液晶パネルの信号線を駆動する信号線駆動回路と、前記液晶パネルの駆動を制御する制御回路と、映像信号処理回路と、前記信号線駆動回路または前記走査線駆動回路に入力する第1の信号の位相に対して、第2の信号に位相差を形成する回路とを少なくとも備える画像表示装置。

【請求項2】請求項1において、前記第1の信号は、前記第2の信号と反転関係にある信号であることを特徴とする画像表示装置。

【請求項3】請求項1または2において、前記第1の信号および前記第2の信号は、クロック信号であることを特徴とする画像表示装置。

【請求項4】請求項1乃至3のいずれかにおいて、前記第1の信号および前記第2の信号は、信号の立ち上がり期間( $t_r$ )と信号の立ち下がり期間( $t_f$ )とが異なっていることを特徴とする画像表示装置。

【請求項5】請求項1乃至4のいずれかにおいて、信号の立ち上がり期間( $t_r$ )または信号の立ち下がり期間( $t_f$ )は、信号の保持期間( $t_c$ )の2分の1以下であることを特徴とする画像表示装置。

【請求項6】請求項1乃至5のいずれかにおいて、第2の信号に位相差を形成する回路は、前記第1の信号の位相に対し、少なくとも第1の信号の立ち上がり期間( $t_r$ )または第1の信号の立ち下がり期間( $t_f$ )に相当する位相差を第2の信号に形成することを特徴とする画像表示装置。

【請求項7】請求項1乃至6のいずれかにおいて、前記画像表示装置は透過型液晶パネルおよび投写用光源を備えた投写型の表示手段であることを特徴とする画像表示装置。

## 【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、液晶等の表示体を用い、駆動回路を内蔵したアクティブマトリクス型ディスプレイに関し、特に、駆動回路等で発生するノイズがディスプレイの表示に与える悪影響を緩和し、各種EMC (Electromagnetic Compatibility) 規制範囲内に不要

【0002】

【従来の技術】最近、安価なガラス基板上に薄膜トランジスタ(以下TFTと称する)を作製する技術が急速に発達している。その理由は、アクティブマトリクス型液晶表示装置の需要が高まったことにある。

【0003】アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数百万個の画素それぞれにTFT(画素TFTと称する)を配置し、各画素電極に出入する電荷をTFTのスイッチング素子機能により制

御するものである。

【0004】また、この画素TFTを駆動するためのTFT(便宜上、回路TFTと称する)を周辺駆動回路に組み込み、画素TFTが配置された表示用画素部と、回路TFTが配置された駆動回路部とを同一基板上に形成し集積化が図られている。

【0005】また、表示装置においては、さらなる多階調化、高解像度化等の高い表示特性を有することが望まれている。

【0006】それにより、従来から問題となっていたノイズが、悪影響を与え、表示特性及び電磁放射を左右する要因の一つとなっていた。

【0007】この問題を解決するために、従来では、ノイズの生じない回路構成を設計するという措置が取られていた。

【0008】

【発明が解決しようとする課題】高画質、高精細な表示を得るため、要求されているディスプレイの表示画素数は年々増加し、例えば、NTSC規格では画素数は約400万個、HDTV規格では画素数は約200万個が必要とされている。このような高画素数のパネルでは、映像信号の駆動周波数が非常に高くなる。よって、このようなパネルを駆動するためには、駆動回路に映像信号よりも数倍高い周波数(数十Hz～数十MHz)を有する、非常に速いドットクロックを待つクロック信号が入力されることになる。例えば、駆動回路内のサンプリング回路には、数十～数十MHzの周波数帯域を有するデジタル映像信号(またはアナログ映像信号)と、駆動回路内の各回路に合わせて数MHz、数十kHz、数十Hzの周波数を有する数種類のクロック信号とを入力し、液晶パネルを駆動している。

【0009】また、理想的には、信号の立ち上がり期間( $t_r$ )と立ち下がり期間( $t_f$ )が等、または同一( $t_r = t_f$ )となることであった。しかし、実際は様々な原因により $t_r$ と $t_f$ が微妙に異なっていた。

【0010】このように、立ち上がり期間( $t_r$ )と立ち下がり期間( $t_f$ )が微妙に異なる信号を駆動回路に少なくとも一対組入力することにより生じるノイズが表示特性及び電磁放射に影響を与え、以下に説明するような問題が、特に高周波数帯域を有する信号を用いた場合で生じていた。

【0011】具体的には、画素TFTと同一基板上に形成した一体型液晶ディスプレイの駆動回路において、シフトレジスタ回路には、第1のクロック信号、第2のクロック信号、スタートパルスとが入力されており、バッファ回路によりサンプリング回路にシフトパルスを送っている。なお、第1のクロック信号と第2のクロック信号は互いに反転関係を有し、位相差が生じないように各回路が構成されている。

【0012】実際の信号の立ち上がり期間( $t_r$ )と立

(3)

特開平11-305742

3

4

ち下がり期間(t<sub>f</sub>)は僅かに異なっているため、位相差のない高周波数の第1のクロック信号と第2のクロック信号をシフトレジスタ回路に印加すると、相殺されずに小さなノイズが重畳して図5に示したような、振幅が大きく鋭い波形を有するノイズが生じていた。このノイズが、画像表示させた時に悪影響を与え、電磁輻射レベルが変化し、EMC規制内に制御することが困難になっていた。また、この振幅が大きく鋭いノイズは、他の回路にも悪影響を与える恐れもあった。

【0013】このような現象は、上述したシフトレジスタ回路に限らず、第1のクロック信号と第2のクロック信号が入力される駆動回路(例えば、ラッチ回路、メモリ回路、カウンタ回路等)で生じていた。また、特にクロック信号に限らず、立ち上がり期間(t<sub>r</sub>)と立ち下がり期間(t<sub>f</sub>)が微妙に異なる一対組(互いに反転関係を有する)の信号が入力された半導体集積回路で生じていた。

【0014】このように、シフトレジスタ回路等で発生した鋭い波形のノイズが、映像信号に重畳され、画素電極に印加される電圧が変化してしまい、表示が変化してしまうという問題が生じていた。

【0015】この問題を解決する手段として、従来では一対組の信号の位相関係を合わせてノイズを相殺し、キャンセルするための回路を各回路毎に設ける構成、または、立ち上がり期間(t<sub>r</sub>)と立ち下がり期間(t<sub>f</sub>)が同一となる理想的な信号波形を形成する構成を用いていた。

【0016】しかしながら、この方法で理想的なクロック波形を形成し、さらに一対の信号の位相差を零とする回路構成は複雑となり、回路設計が困難になっていた。特に高周波数の信号での位相合わせは難しく、完全に位相を合わせることは非常に困難であった。

【0017】そこで、本発明は上記問題を解決するものであり、駆動回路(特にシフトレジスタ回路)にて生じるノイズが画像表示に与える影響を低減させた表示装置を提供することを目的とする。

【0018】

【課題を解決するための手段】本明細書で開示する本発明の構成は、各画素電極毎にスイッチング素子を有した液晶パネルと、前記液晶パネルの走査線を駆動する走査線駆動回路と、前記液晶パネルの信号線を駆動する信号線駆動回路と、前記液晶パネルの駆動を制御する制御回路と、映像信号処理回路と、前記信号線駆動回路または前記走査線駆動回路に入力する第1の信号の位相に対し、第2の信号に位相差を形成する回路とを少なくとも備える画像表示装置である。

【0019】上記構成において、前記第1の信号は、前記第2の信号と反転関係にあることを特徴としている。

【0020】また、上記構成において、前記第1の信号および前記第2の信号は、クロック信号であることを特

徴としている。

【0021】また、上記構成において、前記第1の信号および前記第2の信号は、信号の立ち上がり期間(t<sub>r</sub>)と信号の立ち下がり期間(t<sub>f</sub>)とが異なっていることを特徴としている。

【0022】上記構成において、信号の立ち上がり期間(t<sub>r</sub>)または信号の立ち下がり期間(t<sub>f</sub>)は、信号の保持期間(t<sub>c</sub>)の2分の1以下であることを特徴としている。

10 【0023】上記構成において、第2の信号に位相差を形成する回路は、前記第1の信号の位相に対し、少なくとも第1の信号の立ち上がり期間(t<sub>r</sub>)または第1の信号の立ち下がり期間(t<sub>f</sub>)に相当する位相差を第2の信号に形成することを特徴としている。

【0024】上記構成において、前記画像表示装置は透過型液晶パネルおよび投写用光源を備えた投写型の表示手段である。

【0025】

20 【発明の実施の形態】まず、本発明の基本原理について説明する。図3は、第1のクロック信号(CLD)123と、遅延手段100によって位相差が形成された第2のクロック信号(CLD)124と、スタートパルス125と、シフトレジスタ回路から出力されナンド回路から出力された信号と、信号線(1)に印加される映像信号とを簡略化して示した図である。なお、簡略化のため、ソースドライバ回路105に関し、図3を用いて以下に説明する。

30 【0026】本発明では、信号生成器107で形成された第1のクロック信号(CL)117と、第2のクロック信号(CL)118との間に僅かな位相差T(時間差)を設け、駆動回路に入力することを特徴としている。

【0027】上記僅かな位相差T(時間差)を設けるために遅延手段100を制御回路108に組み込む構成とする。ただし、遅延手段100を組み込む回路としては、特に限定されず、例えば、信号生成器からの出力配線、または駆動回路内のシフトレジスタ回路への入力配線に設ける構成としてもよい。なお、この遅延手段100は、主に抵抗またはコンデンサまたはTFT等で構成される素子または回路である。

40 【0028】第1のクロック信号(CLD)123と、第2のクロック信号(CLD)124との間に設けられた位相差T(時間差)は、回路が正常に駆動する範囲内において、広い範囲を取りうるが、その範囲は、少なくとも立ち上がり期間(t<sub>r</sub>)、または立ち下がり期間(t<sub>f</sub>)以上とし、保持期間t<sub>c</sub>(1つの出力パルスから次の出力パルスまでの期間)の半分以下とする。即ち、位相差Tの範囲は、1〜90度である。位相差Tは、駆動回路(例えば、シフトレジスタ回路)の動作に不具合を引き起こさないほど小さければ何ら問題とはな

(4)

特開平11-305742

5

6

らない。

【0029】つまり、本発明は、互いに反転関係にある一対の信号（例えば、第1の信号と第2の信号）の内、一方の信号を、もう一方の信号に対して、信号の変化点（立ち上がり点、立ち下がり点）を一致させず、 $t_s$ または $t_f$ に相当する時間以上遅らせる、または進めるタイミングで駆動回路（例えば、シフトレジスタ回路）に入力することを特徴としている。

【0030】このような構成として、駆動回路から出力される信号の波形は、図3に例示したように、振幅の小さなピークを有する複数のノイズを形成することを特徴としている。ただし、生じる振幅の小さなノイズが表示及び駆動回路に実質的に影響を与えない程度の範囲に適宜調節する。こうして、従来、完全に相殺されずに生じていた振幅の大きなピークの波形を有するノイズの発生を防止した。

【0031】本発明は、位相関係をずらす回路構成（ $t_s < T < 1/2 t_c$ 、 $t_r < T < 1/2 t_c$ ）であるため、位相関係を完全に一致させる回路構成（位相差 $T=0$ ）と比較して、容易な回路構成でノイズの影響を低減

【0032】なお、本明細書中において、第1のクロック信号は、一般的に用いられているクロック信号であり、第2のクロック信号とは反転関係にある。本明細書中では、この第1のクロック信号と第2のクロック信号を用いて説明するが、特に限定されない。

【0033】また、本明細書中において、ソースドライバ回路内のシフトレジスタ回路を用いて主に説明しているが、特に限定されず、例えば、ラッチ回路、メモリ回路、カウンタ回路等に適宜適用することができる。

【0034】

【実施例】以下、本発明の実施例を説明するが、この実施例に限定されないことは勿論である。

【実施例1】図1は本発明の液晶表示装置の実施例1を示すブロック図である。図1は、主に、液晶パネル101と、信号生成器107と、映像信号処理回路109と、制御回路108とからなる液晶表示装置である。

【0035】なお、信号生成器107、映像信号処理回路109、制御回路108等は、例えば別のプリント基板上に実装されており、該基板と液晶パネル101とは、ケーブルやフレキシブル配線板等によって接続されている。また、信号生成器107、映像信号処理回路109、制御回路108等の一部または全部を液晶パネルと同一基板上に設ける構成とすれば集積化が図れるため好ましいことは言うまでもない。

【0036】液晶パネル101は、水平方向に互いに平行に延びる複数の定査線104と、走査線に直交する垂直方向に互いに平行に延びる複数の信号線103と、定査線及び信号線の交差点近傍に配置されたTFT（薄膜トランジスタ）と、TFTに接続された画素電極とでな

る画素領域102で主に構成されている。

【0037】TFTは、電気的にはスイッチとして用いられており、また、半導体材料として好ましくは結晶性を有するシリコン膜等を使用して形成される。本実施例においては、この結晶性を有するシリコン膜は、石英基板を用い、触媒元素としてニッケルを用いた結晶化方法（特開平8-335152号公報）により得られたものを使用した。結晶性を有し良好な移動度を有するものであれば、特に限定されない。

【0038】走査線104の一端は、各TFTのゲート電極に接続され、他端は、ゲートドライバ回路106に接続されている。また、信号線103の一端は、TFTのソース電極に接続され、他端は、ソースドライバ回路105に接続されている。

【0039】尚、図1においては、信号線103は数本しか記載されていないが、実際は、液晶パネルの横方向の画素電極の数と同数の本数を有しており、同様に、走査線104は液晶パネルの縦方向の画素電極の数と同数の本数を有する。

【0040】また、TFTに接続された画素電極は、他方の基板に形成された対向電極と、液晶と液晶コンデンサを構成している。対向電極は全ての液晶コンデンサと接続されており、共通電位を有している。

【0041】制御回路108は、VIDEO信号に基づき、ゲートドライバ回路106、ソースドライバ回路105、映像信号処理回路109等に必要パルス（スタートパルス、クロックパルス、同期信号、極性反転信号等）を供給する回路である。

【0042】本実施例においては、外部からのVIDEO信号115を映像信号処理回路109に入力し、ソースドライバ回路内のサンプリング回路にアナログ映像信号を出力する。この映像信号処理回路109は、図示しないが主に、アナログ/デジタル（A/D）変換回路、補正回路、デジタル/アナログ（D/A）変換回路、反転処理回路等で構成する。

【0043】ソースドライバ回路105は、水平シフトレジスタ回路110と、出力バッファ111と、サンプリング回路112からなっている。

【0044】また、垂直方向のゲートドライバ回路は、走査方向の制御が可能な垂直シフトレジスタ回路113、出力バッファ回路114等からなっている。

【0045】本実施例における出力バッファ回路111及び114は、保持された電圧を増幅、あるいはインバータ変換し表示部に印加するための回路であり、インバータを代表的な構成とする各種回路が考えられる。

【0046】図2（a）は実施例1におけるソースドライバ回路105の周辺構成を示す回路図である。図2（a）では、1相のシフトレジスタで構成した図を示したが、非常に高い周波数の映像信号を取り扱う場合には、複数の配線分割を行うか、2相、3相、・・・n相の

(5)

特開平11-305742

7

8

シフトレジスタとして低周波数化を図ることが望ましい。

【0047】図2(a)に示すソースドライバ回路は、シフトレジスタ、レベルシフト、スイッチ、インバータ、出力バッファ回路等を代表的な構成とする各種回路で構成することが可能であり、画像信号をサンプリングして表示部に印刷するための回路であれば、特に本実施例の構成に限定されない。

【0048】尚、図1及び図2においては、信号線は数本しか記載されていないが、実際は、液晶パネルの横方向の画素電極の数と同数の本数を有しており、同様に、走査線は液晶パネルの縦方向の画素電極の数と同数の本数を有する。

【0049】ここで、ソースドライバ回路105には、映像信号処理回路109からの信号であるVD(Video Data)116と、制御回路108からのスタートパルス信号SPD125、第1のクロック信号CLD123、遅延手段100により位相がずらされた第2のクロック信号CLD124、水平同期信号等が入力されている。また、このソースドライバ回路におけるタイミ

ングチャートを図3に示す。

【0050】本実施例においては、信号生成器107で生成された実質的に位相差のない第1のクロック信号CL117と第2のクロック信号CL118を制御回路108内に設けられた遅延手段100によって、図3に示すように、第1のクロック信号CLD123とは、位相差( $T=1f$ )を有する第2のクロック信号CLD124を形成し、ソースドライバ回路105に入力した。遅延手段としては、位相差を形成する回路であれば特に限定されず、本実施例では、コンデンサと抵抗で構成した簡易な遅延回路を用いた。なお、本実施例の遅延手段の配置箇所は限定されることはなく、各回路の入力配線に形成する構成、例えばシフトレジスタ回路の入力配線に信号遅延回路等を設けて、位相をずらす構成としてもよい。

【0051】ただし、位相をずらす期間の上限は、クロック信号の電圧保持期間( $t_c$ )の1/2である。この上限を超えると正常に駆動回路を駆動することはできない。即ち、クロック信号の一周期を360度とした場合、位相差 $T$ の範囲は、1~90度である。

【0052】このように、遅延手段100によって、第1のクロック信号CL117と第2のクロック信号CL118を立ち下がり期間( $t_f$ )または立ち上がり期間( $t_r$ )だけ位相をずらす構成とすると、 $t_f$ または $t_r$ が異なる2つのクロック信号により発生するノイズの強度を緩和することができた。

【0053】本発明の特徴は、入力される複数対の信号の位相を所定量ずらし、小さな振幅のピークを有する複数のノイズを故意に発生させる点である。本発明は、従来の方法のように位相を合わせノイズをなくすものでは

なく、ノイズが重なるのを防ぎ、非常に大きな振幅の鋭いピークを有するノイズとなることを防ぐものである。本実施例では、図3に示したように、複数のピークを有するノイズを形成した。この複数のピークは、図5に示した従来のピークの振幅と比べて小さく、表示に影響を与えるものではない。

【0054】即ち、本実施例は、従来の可能な限り位相を合わせる方法と比べて簡略な構成(簡易な遅延回路の設置)により、立ち下がり期間( $t_f$ )または立ち上がり期間( $t_r$ )だけ位相をずらすことでノイズを表示に影響を与えない程度にし、且つ、EMC規制されている範囲に電磁放射を制御することができた。

【0055】〔実施例2〕実施例1では、意図的に位相をずらした複数の信号を駆動回路に入力し、ノイズが重畳するのを防止する方法を用いたが、本実施例では、他の構成例を示す。

【0056】本実施例では、実施例1と同様に意図的に位相をずらした一対の信号を駆動回路に入力した。そして、駆動回路内部で位相のずれた信号を調相してノイズをキャンセルさせ、位相関係が一致した信号を出力する構成とした。このような構成とすることによって、ノイズのない映像信号を形成し良好な表示特性を得ることができた。

【0057】〔実施例3〕図4に3板式の光学システムを用いた投射型の画像表示装置(リアプロジェクタ)の概要を示してある。本実施例のプロジェクタでは、光源401から投射された投射光が、光学系403によって、R、G、Bの3原色に分けられ、ミラー404によって、それぞれの色の画像を表示する3枚のTF-T液晶パネル400に導かれる。そして、それぞれのTF-T液晶パネルによって変調された光が光学系406によって、合成された映像光をスクリーンに照射し、カラー画像が投写される。

【0058】本実施例1に示した液晶パネルおよび信号処理回路およびコントロール回路を用いて、入力画像信号をそれぞれの液晶パネルに供給すると、それぞれの色の画像を液晶パネルによって、色にじみのない高画質・高解像度で作成できる。加えて、液晶 $\gamma$ 補正やカメラ $\gamma$ 補正、人間の視覚に適した補正、観察者の需要に合わせた補正等が補正回路により施されるため、 $\gamma$ 特性の良好な画像を得ることができる。

【0059】従って、本リアプロジェクタを用いることにより、画質に乱れのない鮮明な像をスクリーンに表示することができる。

【0060】なお、本発明においては、液晶パネルとしてアクティブマトリクス型のものを用いたが、種類の異なる他の液晶パネルを用いることも可能である。

【0061】また、本発明は、駆動回路一体型の液晶表示装置にのみ適用されるものではなく、駆動回路が液晶パネルと異なる基板上に形成されたいわゆる外付け型の表

(6)

特開平11-305742

9

10

示装置に適用することも可能である。

【0062】なお、上記各実施例において示した、例えばシフトレジスタ回路、バッファ回路、サンプリング回路、メモリ回路等の構成は、一例であって同様な機能を有するものであれば適宜変形できることはいうまでもない。

【0063】〔実施例4〕実施例1、2に示した液晶表示装置は、様々な電子機器のディスプレイとして利用される。なお、本実施例に挙げる電子機器とは、アクティブマトリクス型液晶表示装置を搭載した製品と定義する。

【0064】その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ（ノート型を含む）、携帯情報端末（モバイルコンピュータ、携帯電話等）などが挙げられる。それらの一例を図6に示す。

【0065】図6（A）はモバイルコンピュータ（モバイルコンピュータ）であり、本体2001、カメラ部2002、受像部2003、操作スイッチ2004、表示装置2005で構成される。本願発明は受像部2003、表示装置2005等に適用できる。

【0066】図6（B）はヘッドマウントディスプレイであり、本体2101、表示装置2102、バンド部2103で構成される。本発明は表示装置2102に適用することができる。

【0067】図6（C）は携帯電話であり、本体2201、音声出力部2202、音声入力部2203、表示装置2204、操作スイッチ2205、アンテナ2206で構成される。本願発明は音声出力部2202、音声入力部2203、表示装置2204等に適用することができる。

【0068】図6（D）はビデオカメラであり、本体2301、表示装置2302、音声入力部2303、操作スイッチ2304、バッテリー2305、受像部2306で構成される。本願発明は表示装置2302、音声入力部2303、受像部2306に適用することができる。

【0069】図6（E）はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に適用することができる。また、実施例3に記載した外観図に相当する。

【0070】図6（F）はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に適用することができる。

【0071】以上の様に、本発明の適用範囲は極めて広

く、あらゆる分野の電子機器に適用することが可能である。また、他にも電光掲示板、宣伝広告用ディスプレイなどにも活用することができる。

【0072】

【発明の効果】本発明によれば、遅延手段を所定の箇所に設け、反転関係にある2つの信号、例えば第1のクロック信号と第2のクロック信号との位相関係を所定値とせず、そして駆動回路におけるノイズの強度を表示に影響を与えない程度に緩和し、且つ、EMC規制されている箇所に電磁輻射を制御することが容易な回路構成とした。

【0073】従って、高周波数の映像信号を正確に表示することができるので、高画質で高精細な表示を使用者に提供することができる。

【図面の簡単な説明】

【図1】 本発明の一実施例における全体概略図である。

【図2】 本発明の一実施例におけるソースドライバ回路周辺の簡略回路図を示す図である。

【図3】 本発明の一実施例におけるタイミングチャートを示す図である。

【図4】 プロジェクション装置を示す図である。

【図5】 従来例におけるタイミングチャートを示す図である。

【図6】 応用製品としての半導体装置を示す図。

【符号の説明】

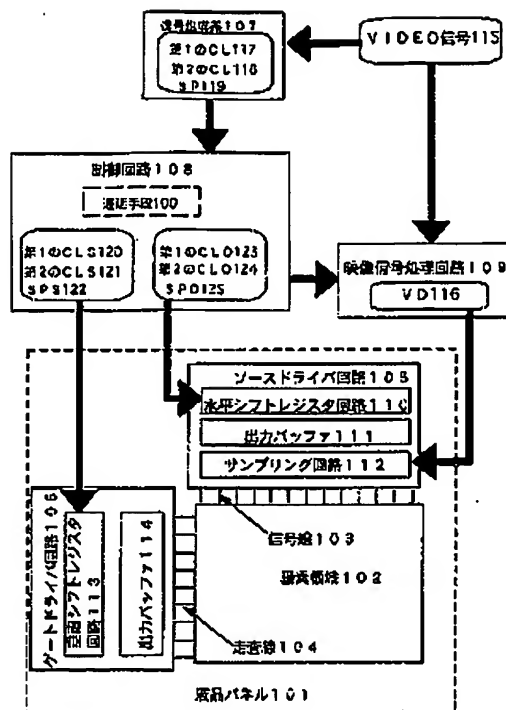
100	遅延手段
101	液晶パネル
102	画素領域
103	信号線
104	走査線
105	ソースドライバ回路
106	ゲートドライバ回路
107	信号生成器
108	制御回路
109	映像信号処理回路
110	水平シフトレジスタ
111、114	出力バッファ
112	サンプリング回路
113	垂直シフトレジスタ回路
115	VIDEO信号
116	VD
117	第1のCL（正クロック信号）
118	第2のCL（負クロック信号）
119	SP
120	第1のCLS（正クロック信号）
121	第2のCLS（負クロック信号）
122	SPS
123	第1のCLD（正クロック信号）
124	第2のCLD（負クロック信号）

11  
125 SPD (スタートパルス)

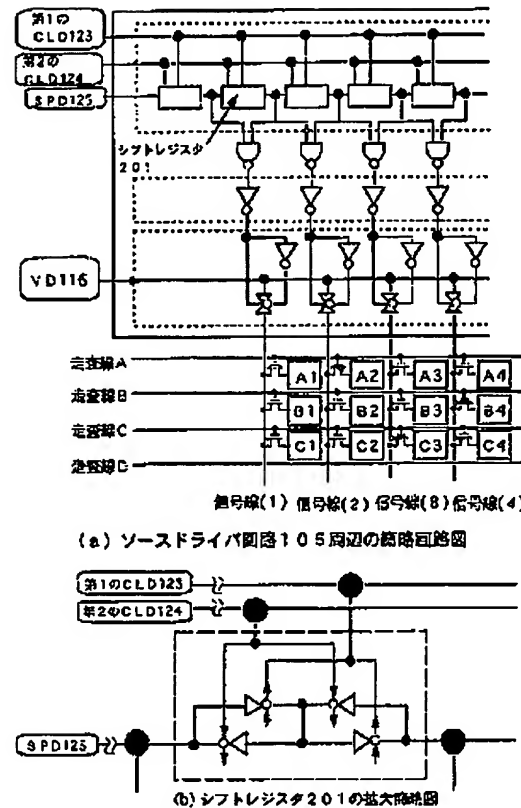
(7)  
12  
\* \* 201 シフトレジスタ

特開平11-305742

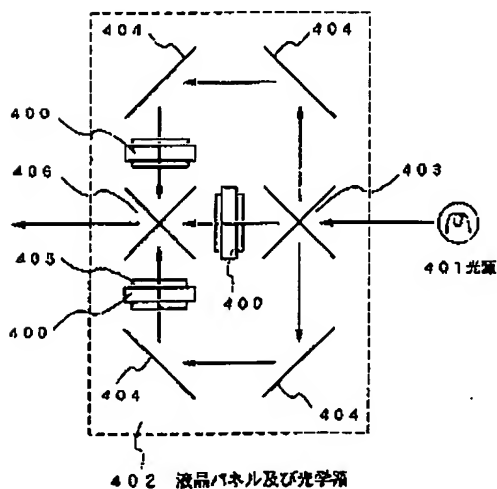
【図1】



【図2】



【図4】



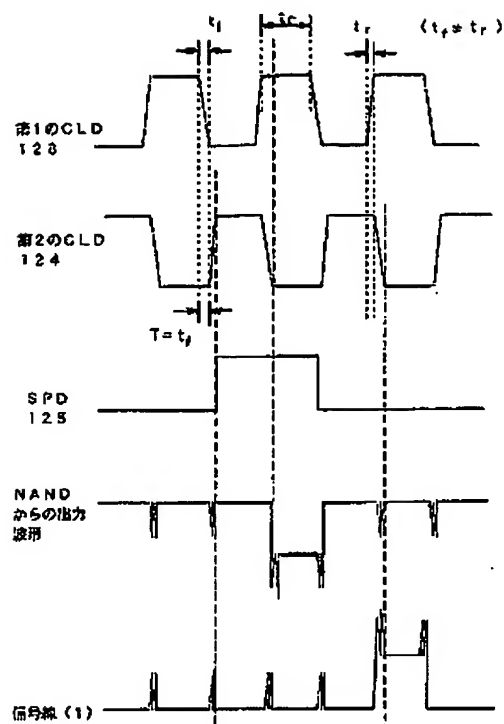
BEST AVAILABLE COPY



(8)

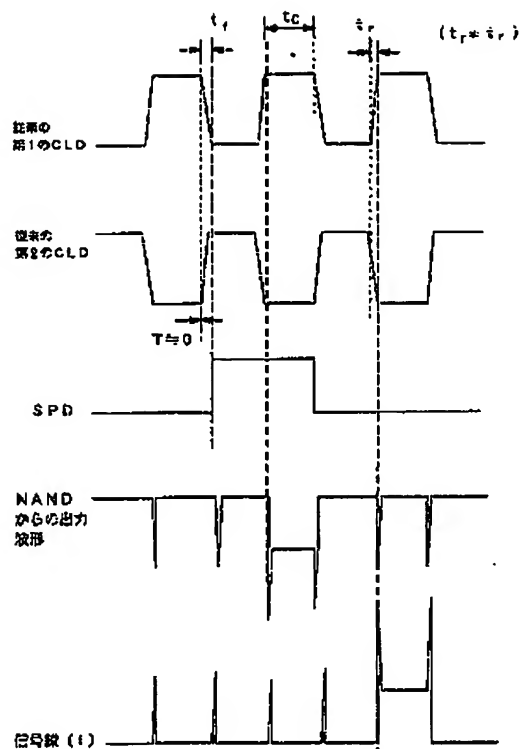
特開平11-305742

【図3】



本発明におけるソースドライバ回路のタイミングチャート

【図5】



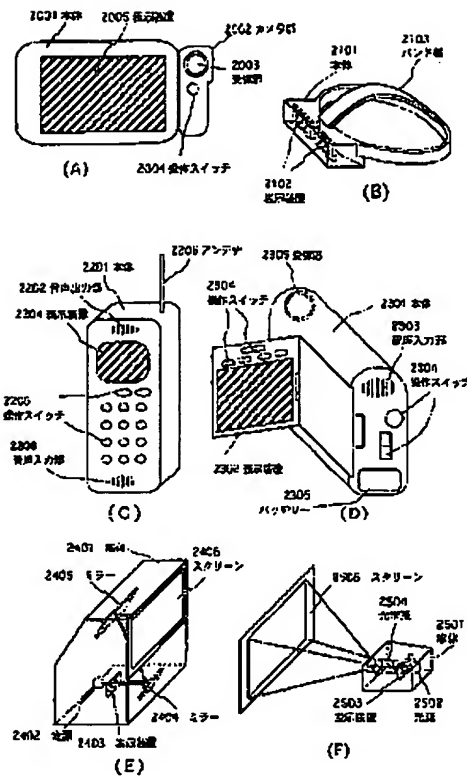
従来のソースドライバ回路のタイミングチャート

BEST AVAILABLE COPY

(9)

特開平11-305742

【図6】



BEST AVAILABLE COPY